

УДК 621.374.42
EDN: TMWESU

Практическая реализация дробного нониусного тракта приведения умножающего кольца импульсно-фазовой автоподстройки частоты

Тихонов Я. А.

Санкт-Петербургский государственный университет телекоммуникаций им. проф. М. А. Бонч-Бруевича,
Санкт-Петербург, 193232, Российская Федерация

Постановка задачи. Современные радиотехнические устройства требуют высокой точности, стабильности и низкого уровня фазового шума, особенно в микроволновом диапазоне. Умножение частоты в традиционных схемах импульсно-фазовой автоподстройки частоты приводит к увеличению фазовых шумов, что ограничивает возможности применения таких систем. **Целью работы** является исследование и практическая реализация нониусного тракта приведения частоты перестраиваемого генератора к частоте опорного колебания в системе импульсно-фазовой автоподстройки частоты для минимизации фазовых шумов при умножении частоты. **Используемые методы:** в работе использовано моделирование схемы в пакете MicroCap, макетирование нониусного делителя частоты, а также экспериментальное измерение его характеристик. **Новизна:** предложен и реализован макет нониусного тракта приведения с дробным коэффициентом деления, позволяющий снизить уровень фазовых шумов в сравнении с традиционными методами умножения частоты в системе импульсно-фазовой автоподстройки частоты. **Результат:** экспериментально проверена работоспособность макета нониусного делителя частоты с коэффициентом деления $N = 200$, работающего в диапазоне до 150 МГц. **Теоретическая / Практическая значимость:** разработка нониусного тракта приведения с дробным коэффициентом деления позволяет улучшить характеристики фазового шума в ближней зоне отстроек от выходного колебания систем импульсно-фазовой автоподстройки частоты, что имеет значение для высокочастотных радиотехнических устройств, включая радиолокацию, спутниковую связь и системы 5G; практическое исследование подтверждает возможность применения данного метода в реальных схемах, хотя выявленные ограничения по рабочему диапазону требуют дальнейших доработок.

Ключевые слова: импульсно-фазовая автоподстройка частоты, фазовый шум, нониусный тракт приведения, дробный коэффициент деления, делитель частоты, спектральные характеристики

Введение

Современные радиотехнические устройства находят применение в самых разных сферах человеческой деятельности. Радиолокационные станции обеспечивают безопасность воздушного пространства, спутниковая связь — непрерывный поток информации по всему миру, а системы радионавигации позволяют точно определять местоположение и ориентироваться в условиях ограниченной видимости. Кроме того, устройства радиосвязи и дистанционного управления играют ключевую роль в оборонной промышленности, беспилотных системах и Интернете вещей.

Библиографическая ссылка на статью:

Тихонов Я. А. Практическая реализация дробного нониусного тракта приведения умножающего кольца импульсно-фазовой автоподстройки частоты // Вестник СПбГУТ. 2025. Т. 3. № 1. С. 4. EDN: TMWESU

Reference for citation:

Tikhonov I. Practical Implementation of a Fractional Vernier Frequency Translation Loop in a Multiplying Phase-Locked Loop System // Herald of SPbSUT. 2025. Vol. 3. Iss. 1. P. 4. EDN: TMWESU

С ростом требований к точности, скорости и дальности работы таких систем необходимость перехода к более высоким частотам микроволнового диапазона (от единиц до сотен ГГц) становится неизбежной. Эти частоты предоставляют возможность увеличения скорости передачи информации и полосы пропускания, достижения высокой разрешающей способности. Однако вместе с этим возрастает сложность обеспечения необходимых характеристик сигналов, среди которых одним из ключевых является уровень фазового шума в ближней зоне отстройки от несущей [1]. Фазовый шум, выражающийся в нестабильности фазы несущей, особенно критичен для высоких частот, поскольку он напрямую влияет на точность, стабильность и помехоустойчивость радиотехнических систем.

Таблица 1. Влияние фазовых шумов на работу радиоэлектронных устройств

Область применения	Частота несущей, Гц	Требуемый уровень шумов в полосе 1Гц	Влияние шума
Радиолокация	3–10 (L- и X-диапазоны)	Не более –120 дБ/Гц при отстройке 10 кГц от несущей, чтобы обеспечить разрешение порядка нескольких метров и устойчивую работу в условиях низкого отношения сигнал / шум	В системах радиолокации фазовый шум определяет точность измерения дальности и скорости целей, особенно для радаров с синтезированной апертурой
Спутниковая связь	10–30 (K- и Ka-диапазоны)	На уровне –90... –100 дБ/Гц при отстройке 100 кГц, что позволяет избежать помех между каналами и потери данных	Высокая плотность передаваемой информации и использование сложных модуляционных схем (например, QPSK, 256-QAM) требуют стабильного фазового шума для минимизации ошибок при демодуляции
Радионавигация (GPS / ГЛОНАСС)	1,2 (L1 / L2-диапазоны)	Должен составлять не более –130 дБ/Гц при отстройке 1 кГц, чтобы обеспечить точность определения координат в диапазоне 1–5 м	Влияние фазового шума проявляется в ухудшении точности позиционирования, особенно в многолучевых условиях
5G и системы миллиметрового диапазона	24–100	Порядка –110... –115 дБ/Гц при отстройке 1 МГц обеспечивает надежность соединения и минимизирует влияние интерференции между каналами	Для стабильной работы высокоскоростных каналов и обеспечения точной синхронизации в условиях сложных модуляционных схем требуется минимальный фазовый шум

В зависимости от поставленной задачи для генерации СВЧ-сигналов могут применяться различные методы и устройства, такие как: кварцевые генераторы, диэлектрические резонаторы, синтезаторы частот на основе прямого цифрового синтеза (DDS, аббр. от англ. Direct Digital Synthesis), гетеродинные схемы с умножением частоты и, наконец, петля импульсно-фазовой автоподстройки частоты (ИФАПЧ) (рисунки 1).



Рис. 1. Схема петли ИФАПЧ

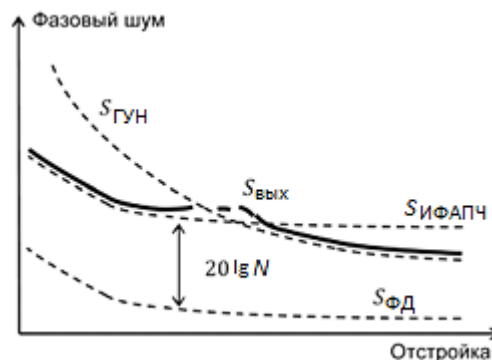


Рис. 2. Профиль фазового шума на выходе петли

Последний вариант с реализацией петли ИФАПЧ кажется наиболее оптимальным для реализации мелкого шага сетки и высокого коэффициента умножения частоты N опорного генератора.

Профиль фазового шума при различных отстройках от несущей на выходе петли ИФАПЧ ($S_{\text{вых}}$) (рисунок 2) имеет синтетическую природу: вне полосы петлевого фильтра он определяется шумами перестраиваемого генератора ($S_{\text{ГУН}}$), а внутри полосы – шумами опорного генератора и техническими шумами фазового детектора ($S_{\text{ФД}}$), умноженными в N раз ($S_{\text{ИФАПЧ}}$).

В петле ИФАПЧ при умножении частоты сигнала неизбежно происходит увеличение фазовых шумов опорного колебания на $20 \log_{10} N$ дБ ($N = \frac{f_{\text{выхВЧ}}}{f_{\text{опНЧ}}}$). Это вызвано масштабированием флуктуаций фазы сигнала и приводит к тому, что с увеличением выходной частоты уровень фазовых шумов на выходе также увеличивается.

При использовании петли ИФАПЧ низкочастотный сигнал опорного генератора ($f_{\text{опНЧ}}$) кратно умножается до выходной частоты ($f_{\text{выхВЧ}}$), позволяя реализовать сетку частот выходного колебания с шагом сетки (F_s). Любую подобную петлю ИФАПЧ возможно охарактеризовать следующими параметрами:

- 1) эквивалентный коэффициент передачи: $N_{\text{э}} = \frac{f_{\text{выхВЧ}}}{F_s}$;
- 2) коэффициент умножения помех (шумов): $N_{\text{ш}} = \frac{f_{\text{выхВЧ}}}{f_{\text{опНЧ}}}$;
- 3) коэффициент качества тракта: $K = \frac{N_{\text{э}}}{N_{\text{ш}}}$.

Уменьшение коэффициента умножения шумов с сохранением эквивалентного коэффициента передачи позволит получить на выходе синтезатора высокочастотный малозумящий сигнал. Эта задача продолжает оставаться актуальной на сегодняшний день. Одним из возможных решений этой проблемы является применение понижающего преобразования частоты в цепи обратной связи ИФАПЧ с использованием смесителя [2] (рисунок 3а).

При таком подходе деление частоты импульсного сигнала, выполняемое цифровым делителем, заменяется на аналоговый способ переноса сигнала вниз по частоте. Таким образом, уменьшается целая часть коэффициента деления частоты (N) в тракте приведения частоты ко входу фазового детектора. Это позволяет минимизировать влияние фазовых шумов опорного сигнала, возникающее при умножении частоты в петле, и в некоторых случаях даже полностью исключить их ухудшение (при $N = 1$). При этом фазовые шумы сигнала промежуточной частоты, формируемого на выходе смесителя, будут зависеть от шумовых характеристик внешнего гетеродинного сигнала и технических шумов используемой элементной базы. Для его формирования можно использовать опорный сигнал с умножением частоты, однако такой подход значительно усложняет схему.

Более современный вариант построения петли ИФАПЧ – это использование дробного коэффициента деления в тракте приведения (рисунок 3б). За счет динамического переключения двух целочисленных коэффициентов деления на выходе подобного тракта приведения становится возможным получить усредненную частоту на периоде $T_s = 1/F_s$. Таким образом, становится возможным повысить частоту сравнения в петле и уменьшить фазовые шумы.

Альтернативным подходом может быть использование целочисленного нониусного тракта приведения в цепи обратной связи делителя частоты [3] (рисунок 3в). В данном случае сигналы на входах смесителя формируются путем деления одного и того же выходного сигнала на различные коэффициенты деления. Для минимизации умножения фазовых шумов опорного колебания коэффициенты деления желательнее выбирать близкими и как можно меньшими, т. е. разность частот сигналов на входах смесителя должна быть минимальной, чтобы повысить коэффициент умножения частоты в тракте [4, 5].

Применение дробного коэффициента деления для одного из входов смесителя позволяет дополнительно повысить эффективность нониусного тракта приведения, увеличив общий коэффициент деления в тракте [6–8]. Таким образом, использование подобной схемы позволяет решить проблему поиска гетеродина с низким уровнем фазовых шумов (актуальную для схем со смесителем в обратной связи) и в то же время существенно увеличить кратность умножения частоты в кольце по сравнению со схемами с дробным коэффициентом деления (увеличив коэффициент умножения частоты с $10 \dots 10^2$ до $10^3 \dots 10^4$ и выше).

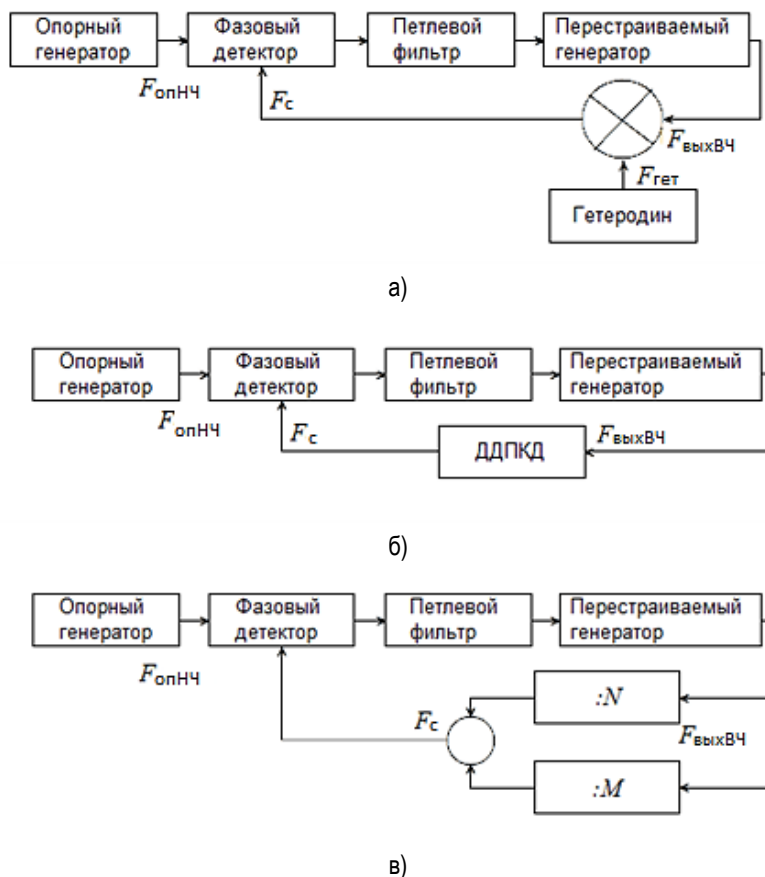


Рис. 3. Схема петли ИФАПЧ: а) с понижением по частоте; б) с делителем с дробно-переменным коэффициентом деления (ДДПКД); в) с делителем с целочисленным нониусным трактом приведения

Исследование макета нониусного тракта приведения

Попытка практической реализации нониусного тракта приведения уже была предпринята в [3, 9], однако некоторые более поздние работы ставили под сомнения полученные результаты [10].

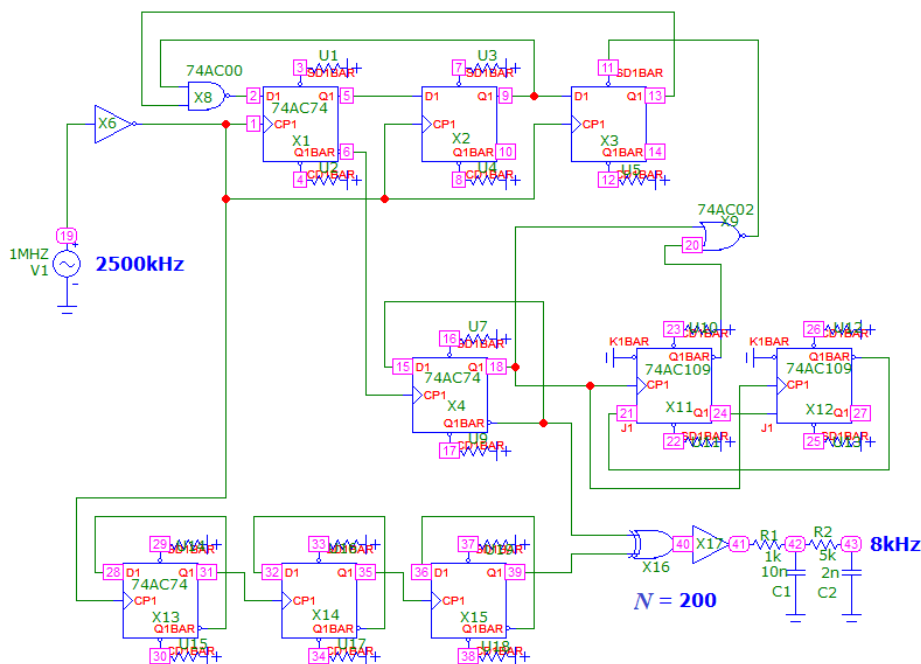


Рис. 4 Модель нониусного тракта приведения при $N = 200$

В данной статье приведено исследование макета нониусного тракта приведения, который является практической реализацией схемы, описанной в [5]. Предварительно было проведено моделирование исследуемой схемы в программе MicroCap. На основании анализа модели (рисунок 4) были получены графики переходного процесса (рисунок 5).

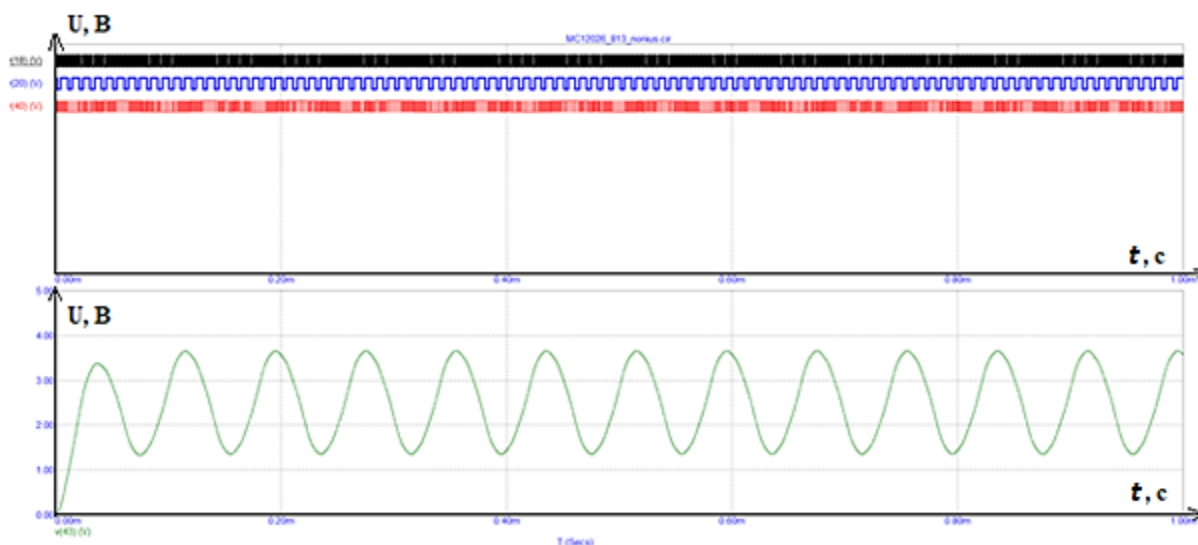


Рис. 5. Временные диаграммы работы нониусного тракта приведения

Принципиальная схема измерения макета представлена на рисунке 6, а фотография макета – на рисунке 7.

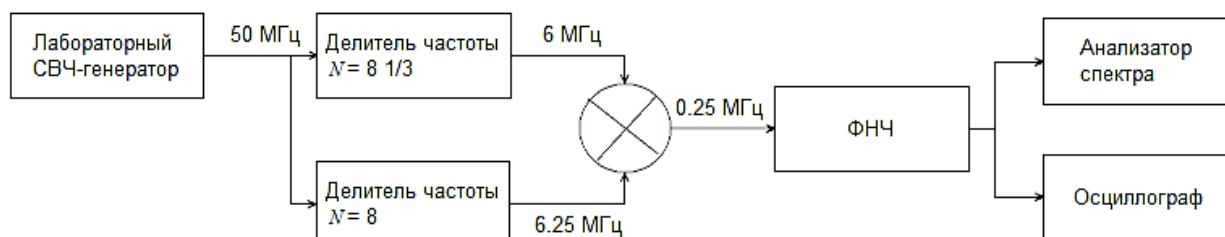


Рис. 6. Схема нониусного делителя частоты (Коэффициент деления $N = 200$)

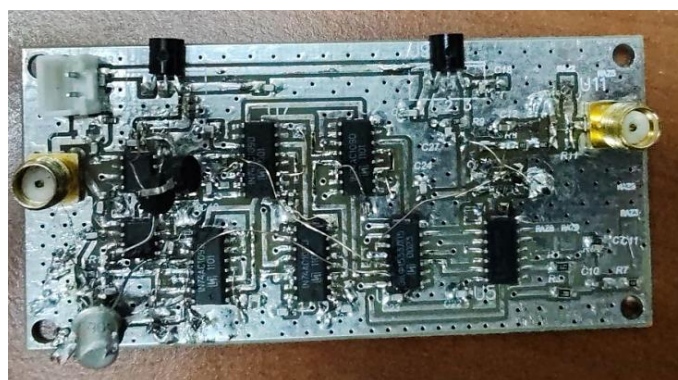
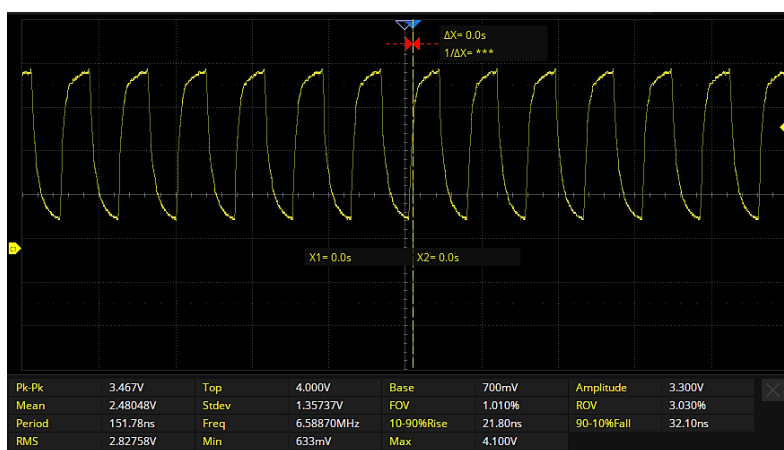


Рис. 7. Исследуемый макет нониусного делителя частоты

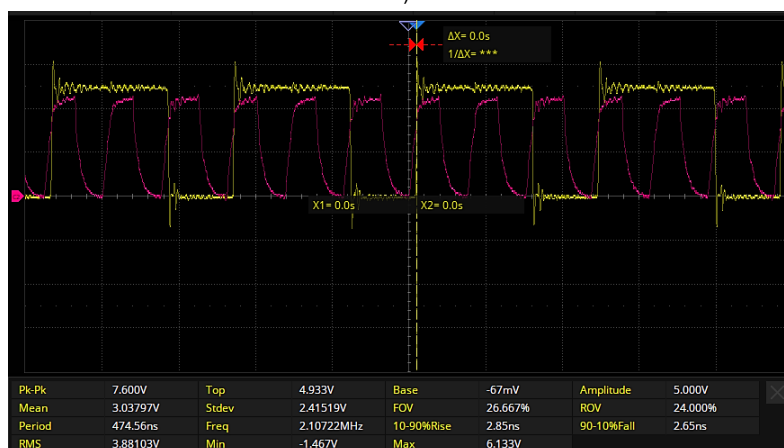
В качестве делителя на 8 используется микросхема MC12026. Поскольку она имеет отдельный вывод для переключения коэффициента деления (8/9), становится возможной реализация дробного коэффициента деления $8 + \frac{1}{3}$. Для этих целей использовался JK-триггер MC74AC109D. Таким образом,

сквозной коэффициент деления в цепи обратной связи можно вычислить: $N = \frac{8 \cdot 8^{\frac{1}{3}}}{8 - 8^{\frac{1}{3}}} = 200$. В качестве цифрового смесителя использовалась микросхема «Исключающее-ИЛИ» MC74AC86D.

При реализации макета возникла проблема с несоответствием уровней напряжения на выходе делителя MC12026 (эмиттерно-связанная логика), из-за чего не удавалось запустить логические микросхемы JK-триггера и смесителя (рисунок 8). Для устранения этой проблемы была применена схема на СВЧ *p-n-p*-транзисторах (КТ3109), при помощи которой удалось получить уровни сигнала, достаточные для срабатывания логических микросхем, работающих на транзисторно-транзисторной логике (рисунок 9). Однако использование транзисторов и схемы на JK-триггерах привело к увеличению времени переключения сигнала.



а)



б)

Рис. 8. Сигнал на выходе делителя частоты на 8 (а) и 8^{1/3} (б)

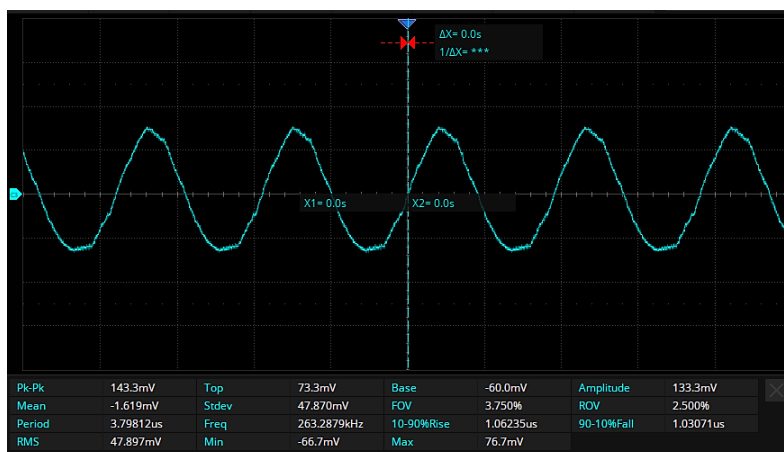


Рис. 9. Осциллограмма выходного сигнала после фильтрации

При работе макета на высоких частотах в спектре сигнала были заметны побочные гармоники, но, несмотря на обширный спектральный состав, они не должны оказать критическое влияние на работоспособность петли, так как являются кратными требуемой частоте (рисунок 10). Если частоту входного сигнала увеличивать выше определенного уровня, то в спектре сигнала возникают субгармонические компоненты с шагом $\frac{1}{2}$ исходной частоты (рисунок 11). Эти паразитные компоненты невозможно отфильтровать при помощи низкочастотного RC -фильтра, и тем самым они ограничивают диапазон рабочих частот: $f_{\max} \approx 150$ МГц.

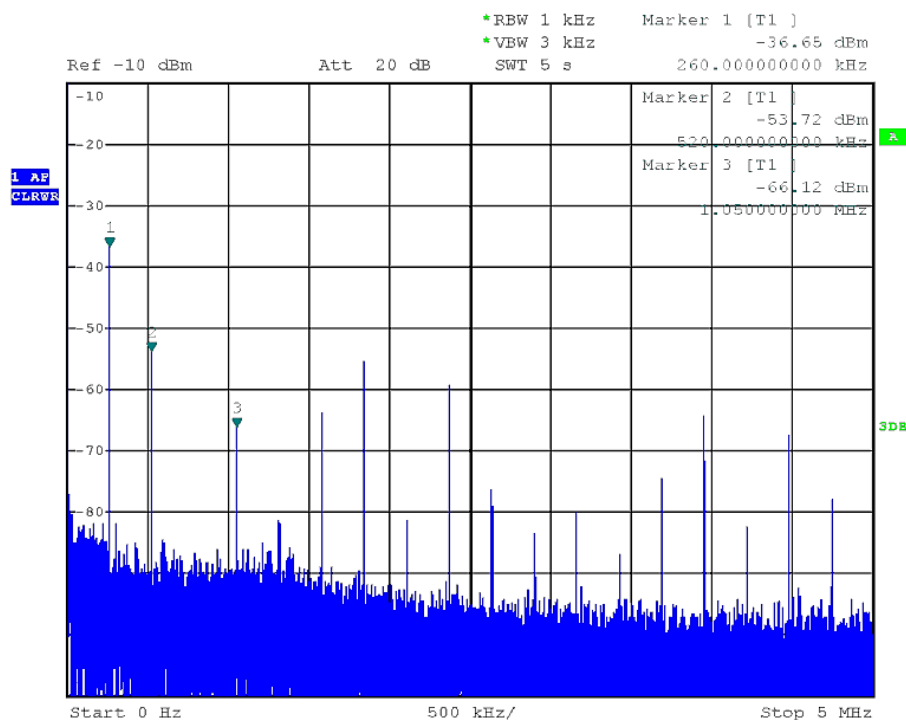


Рис. 10. Спектр сигнала на выходе тракта приведения после деления частоты на $N = 200$ и фильтрации двухзвенным RC -фильтром. Частота входного сигнала $f \approx 50$ МГц

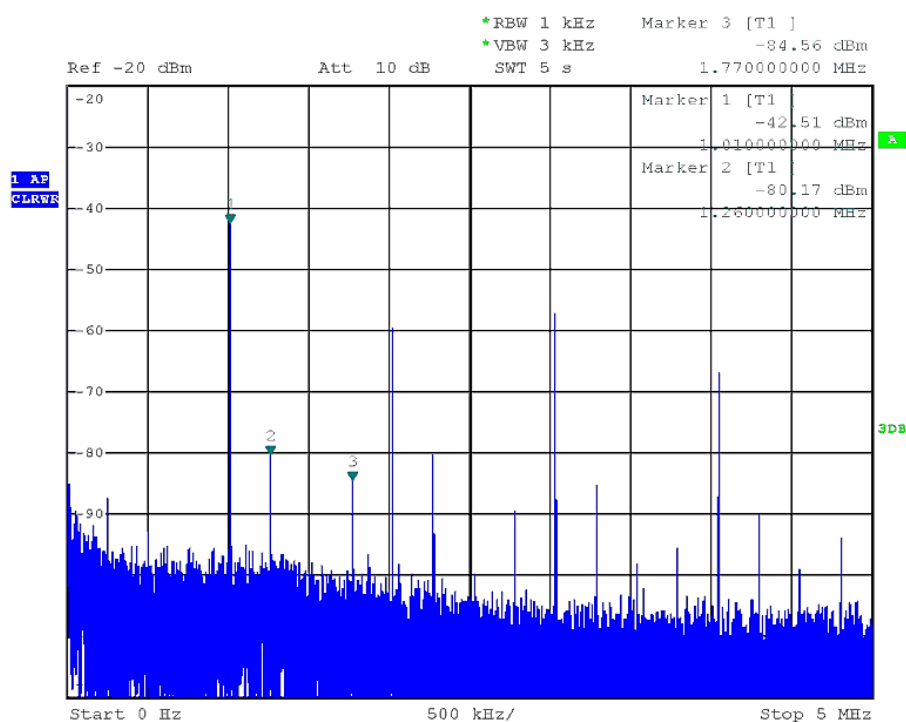


Рис. 11. Спектр сигнала после деления частоты на $N = 200$. Частота входного сигнала $f \approx 200$ МГц

Выводы

Использование нониусного тракта приведения с дробностью в одном из плеч является перспективным методом снижения фазового шума синтезируемого сигнала в ближней зоне отстроек от несущей.

Для экспериментальной проверки возможности построения нониусного тракта приведения по предложенной в [5] и реализованной на доступной компонентной базе схеме был собран макет с коэффициентом деления $N = 200$. Исследуемый макет позволяет эффективно делить выходную частоту перестраиваемого генератора в диапазоне до 150 МГц.

Дальнейшая работа по данной тематике предполагает построение полноценной петли ИФАПЧ и генерации сигналов СВЧ-диапазона с низким уровнем фазовых шумов в ближней зоне отстроек от несущей.

Литература

1. Никитин Ю. А., Тихонов Я. А. Исследование влияния уровня фазовых шумов синтезатора частот на точность плазменной диагностики // Подготовка профессиональных кадров в магистратуре для цифровой экономики. Всероссийская научно-техническая и научно-методическая конференция магистрантов и их руководителей (ПКМ-2023, Санкт-Петербург, 5–7 декабря 2023): сборник лучших докладов: в 2-х тт. Т. 2. СПб.: СПбГУТ, 2024. С. 37–39. EDN: URCSAA
2. Chenakin A., Ojha S., Nediyanath Sh. A 26.5 GHz PLL Synthesizer with Low Phase Noise Characteristics // Proceedings of the Asia-Pacific Microwave Conference (Melbourne, Australia, 5–8 December 2011). 2011.
3. Sadowski B. A Self-offset Phase-locked Loop // Microwave Journal. 2008. Vol. 51. Iss. 4. PP. 116–124.
4. Никитин Ю. А. Построение тракта приведения активного синтезатора частот // Известия высших учебных заведений. Приборостроение. 2012. Т. 55. № 3. С. 19–26. EDN: OXQAXD
5. Никитин Ю. А. Нониусное высокократное умножение частоты // Труды учебных заведений связи. 2017. Т. 3. № 1. С. 93–104. EDN: YMHZMT
6. Никитин Ю. А. Анализ дробного нониусного тракта приведения умножающего кольца импульсно-фазовой автоподстройки частоты // Известия высших учебных заведений России. Радиоэлектроника. 2012. № 1. С. 31–37. EDN: OWNKKF
7. Никитин Ю. А. Анализ целочисленного нониусного тракта приведения умножающего кольца импульсно-фазовой автоподстройки частоты // Известия высших учебных заведений России. Радиоэлектроника. 2011. № 6. С. 58–65. EDN: OONIEB
8. Никитин Ю. А. Моделирование цифрового однополосного преобразования частоты в тракте приведения умножающего кольца ИФАП // Известия высших учебных заведений России. Радиоэлектроника. 2014. № 1. С. 16–20. EDN: SERQVD
9. Wan M., Liao Zh., Wei P. Analysis of a Self-Offset Phase Locked Loop // Journal of Terahertz Science and Electronic Information Technology. 2013. Vol. 11. Iss. 1. (in Chinese)
10. Bao F., Guo W., Li Zh., Bao J. Analysis and Measurement of a Self-Offset Phase-Locked Loop // Journal of Terahertz Science and Electronic Information Technology. 2016. Vol. 14. Iss. 3. DOI: 10.11805/TKYDA201603.0421. (in Chinese)

Статья поступила 26 февраля 2025 г.

Одобрена после рецензирования 06 марта 2025 г.

Принята к публикации 21 марта 2025 г.

Информация об авторе

Тихонов Яков Александрович – аспирант кафедры электроники Санкт-Петербургского государственного университета телекоммуникаций им. проф. М. А. Бонч-Бруевича. E-mail: tihonov.ya@sut.ru

Practical Implementation of a Fractional Vernier Frequency Translation Loop in a Multiplying Phase-Locked Loop System

I. Tikhonov

The Bonch-Bruевич Saint Petersburg State University of Telecommunications,
St. Petersburg, 193232, Russian Federation

Problem statement. Modern radio engineering devices require high precision, stability, and low phase noise levels, particularly in the microwave range. Frequency multiplication in traditional PLL (phase-locked loop) circuits leads to an increase in phase noise, which limits the applicability of such systems. The aim of this work is to investigate and practically implement a Vernier frequency conversion path to align the frequency of a tunable oscillator with a reference signal in a PLL system, minimizing phase noise during frequency multiplication. **Methods used:** the study employs circuit simulation in MicroCap, prototyping of a Vernier frequency divider, and experimental measurement of its characteristics. **Novelty:** a prototype of a Vernier frequency conversion path with a fractional division factor has been proposed and implemented, allowing for reduced phase noise levels compared to traditional frequency multiplication methods in PLLs. **Results:** experimental validation confirms the operation of the Vernier frequency divider in accordance with theoretical predictions, with a division factor of $N = 200$, functioning within a frequency range of up to 150 MHz. **Theoretical / Practical significance:** the development of a Vernier frequency conversion path with a fractional division factor improves phase noise characteristics in the close-in spectrum of PLL output signals. This is crucial for high-frequency radio engineering applications, including radar systems, satellite communications, and 5G networks. Practical research confirms the feasibility of this method in real-world circuits, though certain limitations in the operating range require further refinement.

Key words: phase-locked loop, phase noise, Vernier frequency conversion path, fractional division factor, frequency divider, spectral characteristics

Information about Author

Tikhonov Iakov – Postgraduate at the Department of Electronics (The Bonch-Bruевич Saint Petersburg State University of Telecommunications). E-mail: tihonov.ya@sut.ru